





Hierfür werden die Ausgänge des Ein-Bit-Decoders auf jeweils zwei Leitungen aufgeteilt. Die Eingangsleitung  $b_1$  legt mithilfe mehrerer Und-Gatter fest, ob die oberen oder die unteren zwei Ausgangsleitungen „maskiert“ werden sollen.

1. Schreiben Sie ein Verilog-Modul, das den oben abgebildeten Ein-Bit-Decoder implementiert!
2. Schreiben Sie ein Verilog-Modul, das den oben abgebildeten Zwei-Bit-Decoder implementiert. Verwenden Sie dafür den Ein-Bit-Decoder aus dem ersten Teil der Aufgabenstellung!
3. Verwenden Sie einen Ein-Bit-Decoder und den Demultiplexer aus Aufgabe 1, um einen Zwei-Bit-Decoder zu konstruieren! Wie unterscheidet sich die resultierende Schaltung von der ursprünglichen Schaltung für den Zwei-Bit-Decoder?